

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-032018
 (43)Date of publication of application : 02.02.1996

(51)Int.Cl. H01L 25/00

(21)Application number : 07-104398 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 27.04.1995 (72)Inventor : NAKATSUKA TADAYOSHI
 ITO JUNJI
 YAMAMOTO SHINJI
 NISHITSUJI MITSURU

(30)Priority

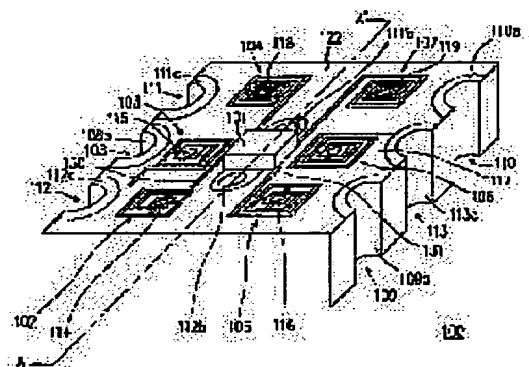
Priority number : 06 94868 Priority date : 09.05.1994 Priority country : JP

(54) HYBRID IC

(57)Abstract:

PURPOSE: To make a package unnecessary and realize miniaturization, high performance and cost reduction of a high frequency hybrid IC.

CONSTITUTION: Spiral inductors 102-107 are formed on a ceramic board 122 by using a single layer wiring of a metal thin film and connected with wirings of a back surface via through holes 114-119, respectively. A semiconductor chip 101 is so mounted on the board in the face down manner by flip chip mounting. A capacitance element using high permittivity material, a resistance element using an ion implantation method or a thin film, and a field-effect transistor are formed on the surface of the semiconductor chip 101. The board is connected with an outer board, through terminals 108-113 formed as recessed parts to the end surface of the board.



LEGAL STATUS

[Date of request for examination] 27.04.1995
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 2650871
 [Date of registration] 16.05.1997
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 8 - 3 2 0 1 8

(43)公開日 平成8年(1996)2月2日

(51)Int. Cl.⁶

H 0 1 L 25/00

識別記号

庁内整理番号

F I

技術表示箇所

B

審査請求 有 請求項の数 3 7 O L

(全 2 1 頁)

(21)出願番号 特願平7-104398

(22)出願日 平成7年(1995)4月27日

(31)優先権主張番号 特願平6-94868

(32)優先日 平6(1994)5月9日

(33)優先権主張国 日本 (J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 中塚 忠良

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 伊藤 順治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 山本 真司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 山本 秀策

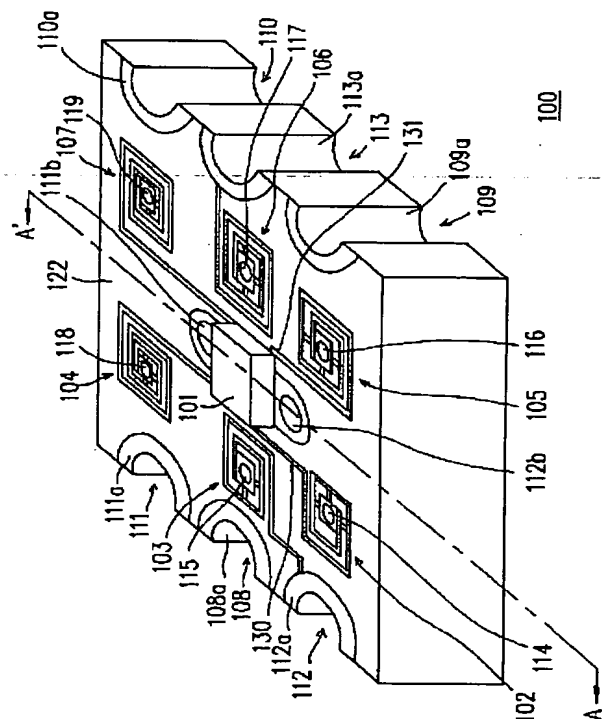
最終頁に続く

(54)【発明の名称】ハイブリッド I C

(57)【要約】

【構成】 セラミック基板122上には金属薄膜の一層配線によりスパイラル型インダクタ102～107が形成されており、それぞれスルーホール114～119により裏面の配線に接続されている。半導体チップ101は、表面を下にして基板上にフリップチップ実装されている。半導体チップ101表面には、高誘電率材料を用いた容量素子、及びイオン注入法もしくは薄膜を用いた抵抗素子、電界効果トランジスタが形成されている。基板と外部基板との接続は、基板の端面に対して凹型に形成された端子108～113により行われる。

【効果】 上記の構成により、パッケージが不要になると同時に、高周波ハイブリッド I Cの小型化、高性能化、低コスト化が実現される。



【特許請求の範囲】

【請求項 1】 基板と、

該基板上に形成された少なくとも一つのインダクタと、
該基板上にフリップチップ方式により配置された半導体チップと、

該基板の外周の所定の位置に形成された少なくとも一つの端子と、を備えたハイブリッド IC であって、

該半導体チップはその内部に複数の回路素子を備えており、該回路素子のうちの少なくとも一つは、金属-絶縁膜-金属 (MIM) 構成を有して該絶縁膜が高誘電体材料から形成されている MIM キャパシタであるハイブリッド IC。

【請求項 2】 入力信号を前記半導体チップの内部の前記回路素子に整合させる少なくとも一つの整合回路をさらに備えており、該整合回路は少なくとも一つのインダクタを備えている請求項 1 のハイブリッド IC。

【請求項 3】 前記基板のそれぞれの面の上に単一の金属層で配線パターンが形成されており、該基板のそれぞれの面の上の該配線パターンはスルーホールによりお互いに接続されており、前記整合回路に含まれる前記インダクタが該基板の一方の面の上の該配線パターンに形成されている請求項 2 のハイブリッド IC。

【請求項 4】 前記整合回路はインダクタのみで構成されており、少なくとも一つの直列インダクタと少なくとも一つの並列インダクタとを含む請求項 2 のハイブリッド IC。

【請求項 5】 前記整合回路に含まれる前記並列インダクタがスパイラル型インダクタであって、該スパイラル型インダクタのスパイラル部の最外周線が接地されている請求項 4 のハイブリッド IC。

【請求項 6】 前記整合回路を構成する前記インダクタが、スパイラル型インダクタまたはミアンダ型インダクタである請求項 2 のハイブリッド IC。

【請求項 7】 前記整合回路は、インダクタとキャパシタとで構成されており、該キャパシタは前記半導体チップの内部に形成されている請求項 2 のハイブリッド IC。

【請求項 8】 前記整合回路を構成する前記インダクタが、スパイラル型インダクタまたはミアンダ型インダクタである請求項 7 のハイブリッド IC。

【請求項 9】 前記端子は、少なくとも、RF 信号の入力端子である RF 端子と、LO 信号の入力端子である LO 端子と、IF 信号の出力端子である IF 端子と、接地端子と、及び電源端子と、を含む請求項 1 のハイブリッド IC。

【請求項 10】 前記端子のうちで、前記 RF 端子、前記 LO 端子及び前記 IF 端子に隣接する端子は、前記接地端子または前記電源端子である請求項 9 のハイブリッド IC。

【請求項 11】 前記半導体チップは、

前記 RF 端子から入力された RF 信号を増幅する RF 増幅器と、

前記 LO 端子から入力された LO 信号を増幅する LO 増幅器と、

該増幅された RF 信号と該増幅された LO 信号とに基づいて IF 信号を生成するミキサと、を備えている請求項 9 のハイブリッド IC。

【請求項 12】 前記 RF 端子と前記 RF 増幅器との間に接続されて前記 RF 信号を該 RF 増幅器に整合させる RF 入力整合回路と、

前記 LO 端子と前記 LO 増幅器との間に接続されて前記 LO 信号を該 LO 増幅器に整合させる LO 入力整合回路と、をさらに備え、該 RF 入力整合回路及び該 LO 入力整合回路は、それぞれ少なくとも一つのインダクタを含む請求項 11 のハイブリッド IC。

【請求項 13】 前記 RF 入力整合回路に含まれるインダクタの線幅が、前記 LO 入力整合回路に含まれるインダクタの線幅よりも大きい請求項 12 のハイブリッド IC。

【請求項 14】 前記 RF 入力整合回路は、前記基板の一方の面の上に形成された少なくとも一つのスパイラル型インダクタを含み、該スパイラル型インダクタの中心部は、スルーホール及び該スルーホールに接続して該基板のもう一方の面に形成された配線によって前記 RF 端子に接続されている請求項 12 のハイブリッド IC。

【請求項 15】 前記 RF 増幅器と前記ミキサとの結合部及び前記 LO 増幅器と該ミキサとの結合部にそれぞれ接続された LC 共振回路または 1/4 波長線路を備えており、該 LC 共振回路または該 1/4 波長線路は高周波接地用キャパシタを含み、該キャパシタは前記半導体チップの内部に形成されている請求項 12 のハイブリッド IC。

【請求項 16】 前記 RF 入力整合回路、前記 LO 入力整合回路、前記 RF 増幅器と前記ミキサとの結合部及び前記 LO 増幅器と該ミキサとの結合部にそれぞれ設けられる前記 LC 共振回路または前記 1/4 波長線路は、それぞれ前記基板上に設けられており、前記ミキサに対応する出力整合回路は該基板上に設けられていない請求項 15 のハイブリッド IC。

【請求項 17】 前記基板の表面において、前記半導体チップの実装箇所に対応する箇所に接地電極が配置されている請求項 1 のハイブリッド IC。

【請求項 18】 前記基板の電源配線の線幅が、該基板内の最小線幅と同等の値である請求項 1 のハイブリッド IC。

【請求項 19】 前記端子は少なくとも一つの電源端子を含み、同一の電源端子に複数のインダクタが接続されており、該複数のインダクタを接続する配線の線幅が、前記基板内の最小線幅と同等の値である請求項 1 のハイブリッド IC。

【請求項 20】 前記基板上の前記インダクタにおいて、隣接する導体間にそれらを短絡する短絡導体が設けられている請求項 1 のハイブリッド IC。

【請求項 21】 前記高誘電体材料として、誘電率の異なる複数の材料が用いられている請求項 1 のハイブリッド IC。

【請求項 22】 前記半導体チップは、マイクロバンプボンディング (MBB) 法またはスタッドバンプボンディング (SBB) 法によるフリップチップボンディング技術を用いて前記基板に実装されている請求項 1 のハイブリッド IC。

【請求項 23】 前記半導体チップは、前記基板に樹脂により固定されている請求項 1 のハイブリッド IC。

【請求項 24】 前記端子は、前記基板の側面に対して凹型をなしている請求項 1 のハイブリッド IC。

【請求項 25】 前記端子は、前記基板の加工時に該端子に相当する部分にスルーホールを形成し、少なくとも該スルーホールの内面に金属膜を被覆した後該スルーホールを切断することによって形成されている請求項 1 のハイブリッド IC。

【請求項 26】 前記基板の表面における前記端子に関連した前記金属膜の形状が、多角形または円形である請求項 25 のハイブリッド IC。

【請求項 27】 前記基板の一方の面に設けられた前記半導体チップに接続される電源電極及び接地電極をさらに備え、該電源電極及び該接地電極のうちの少なくとも一方が、該基板のもう一方の面に配置された電源電極及び接地電極にそれぞれ複数のスルーホールを通じて接続されている請求項 1 のハイブリッド IC。

【請求項 28】 前記端子のうちの少なくとも一つが、該基板の四隅のうちのひとつに設けられている請求項 1 のハイブリッド IC。

【請求項 29】 前記基板が高誘電率を有する材料から形成されている請求項 1 のハイブリッド IC。

【請求項 30】 前記基板がセラミック基板である請求項 29 のハイブリッド IC。

【請求項 31】 前記基板が低誘電率を有する材料から形成されている請求項 1 のハイブリッド IC。

【請求項 32】 前記基板がガラスエポキシ基板である請求項 31 のハイブリッド IC。

【請求項 33】 前記端子のそれぞれに接続して、前記基板から外側に向けて伸びる形状を有する導電性材料からなるピン電極が設けられている請求項 1 のハイブリッド IC。

【請求項 34】 前記半導体チップの内部には前記 MIM キャパシタが複数設けられており、該複数の MIM キャパシタに含まれる下部電極が互いに接続されている請求項 1 のハイブリッド IC。

【請求項 35】 前記半導体チップの内部に含まれる前記複数の回路要素のうちで、大きな電圧の信号に関与す

る第 1 の種類の回路要素が該半導体チップの外縁部において互いに隣接しないように配置され、小さな電圧の信号に関与する第 2 の種類の回路要素が該第 1 の種類の回路要素の間に配置されている請求項 1 のハイブリッド IC。

【請求項 36】 前記半導体チップの内部に含まれる前記複数の回路要素のうちで、特性インピーダンスが高い第 1 の種類の回路要素が該半導体チップの外縁部において互いに隣接しないように配置され、特性インピーダンスが低い第 2 の種類の回路要素が該第 1 の種類の回路要素の間に配置されている請求項 1 のハイブリッド IC。

【請求項 37】 前記半導体チップが配置されている前記基板の表面を覆う上面が平坦な樹脂層をさらに備え、該半導体チップが該樹脂層で覆われている請求項 1 のハイブリッド IC。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、小型で高性能な高周波用ハイブリッド IC に関するものである。

【0002】

【従来の技術】携帯機器の急速な普及に伴い、携帯機器に本来要求されていた小型化、軽量化がさらに強く求められてきている。従来は集積化が困難であった高周波回路部においても、小型化は必須課題となりつつある。

【0003】以下、高周波用ハイブリッド IC の従来の一例について、図面を参照しながら説明する。

【0004】図 1 は、特開平 5-251629 号公報に開示されている従来のハイブリッド IC 10 を示している。図 1 において、半導体チップ 1 の表面 (図 1 には不図示の面) には、電界効果トランジスタ (以後、FET と称する)、抵抗素子及び容量素子が形成されている。半導体チップ 1 は、フリップチップボンディング 2 によってセラミック基板 4 の表面のパッドにフェースダウン実装されている。セラミック基板 4 の表面には、さらにスパイラルインダクタ 3 が印刷技術により形成されている。

【0005】次に、半導体チップ 1 が実装されたセラミック基板 4 をパッケージ 8 に搭載し、セラミック基板 4 上のボンディングパッド 6 とパッケージ 8 のボンディングパッド 7 とを、Au ワイヤなどのボンディングワイヤ 5 により接続する。最後に全体を樹脂 (図 1 には不図示) で覆い、表面を保護する。

【0006】パッケージ 8 には、各ボンディングパッド 7 に接続されているパッケージピン 9 が設けられている。これより、半導体チップ 1 の回路要素は、パッケージピン 9 を介して外部の回路に接続される。

【0007】

【発明が解決しようとする課題】しかしながら、上述した従来のハイブリッド IC 10 においては、セラミック基板 4 とパッケージ 8 とを接続するためのワイヤーボンディング工程を必要とする。そのため、工程数が増えて

製造コストが増加するという問題点が存在する。また、ボンディングワイヤ 5 やパッケージピン 9 を通じて高周波信号が伝達されると、ハイブリッド IC 10 の動作特性に悪影響が及ぼされることがある。さらに、半導体チップ 1 の内部に内蔵されるキャパシタが大きくなるために半導体チップ 1 のサイズが増加し、コストの削減や小型化の達成が困難になる。

【0008】本発明は上記問題点に鑑みてなされたものであって、パッケージの使用、及びパッケージと基板とを接続するワイヤボンディング工程の実施を必要とせず、半導体チップの小型化を可能にする超小型で低コストのハイブリッド IC を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明のハイブリッド IC は、基板と、該基板上に形成された少なくとも一つのインダクタと、該基板上にフリップチップ方式により配置された半導体チップと、該基板の外周の所定の位置に形成された少なくとも一つの端子と、を備えたハイブリッド IC であって、該半導体チップはその内部に複数の回路素子を備えており、該回路素子のうちの少なくとも一つは、金属-絶縁膜-金属 (MIM) 構成を有していて該絶縁膜が高誘電体材料から形成されている MIM キャパシタであり、そのことによって上記目的が達成される。

【0010】ある実施例では、入力信号を前記半導体チップの内部の前記回路素子に整合させる少なくとも一つの整合回路をさらに備えており、該整合回路は少なくとも一つのインダクタを備えている。

【0011】他の実施例では、前記基板のそれぞれの面の上に単一の金属層で配線パターンが形成されており、該基板のそれぞれの面の上の該配線パターンはスルーホールによりお互いに接続されており、前記整合回路に含まれる前記インダクタが該基板の一方の面の上の該配線パターンに形成されている。

【0012】さらに他の実施例では、前記整合回路はインダクタのみで構成されており、少なくとも一つの直列インダクタと少なくとも一つの並列インダクタとを含む。好ましくは、前記整合回路に含まれる前記並列インダクタがスパイラル型インダクタであって、該スパイラル型インダクタのスパイラル部の最外周線が接地されている。

【0013】さらに他の実施例では、前記整合回路を構成する前記インダクタが、スパイラル型インダクタまたはミアンダ型インダクタである。

【0014】さらに他の実施例では、前記整合回路は、インダクタとキャパシタとで構成されており、該キャパシタは前記半導体チップの内部に形成されている。好ましくは、前記整合回路を構成する前記インダクタが、スパイラル型インダクタまたはミアンダ型インダクタである。

【0015】さらに他の実施例では、前記端子は、少なくとも、RF 信号の入力端子である RF 端子と、LO 信号の入力端子である LO 端子と、IF 信号の出力端子である IF 端子と、接地端子と、及び電源端子と、を含む。

【0016】さらに他の実施例では、前記端子のうちで、前記 RF 端子、前記 LO 端子及び前記 IF 端子に隣接する端子は、前記接地端子または前記電源端子である。

10 【0017】さらに他の実施例では、前記半導体チップは、前記 RF 端子から入力された RF 信号を増幅する RF 増幅器と、前記 LO 端子から入力された LO 信号を増幅する LO 増幅器と、該増幅された RF 信号と該増幅された LO 信号とに基づいて IF 信号を生成するミキサと、を備えている。

20 【0018】さらに他の実施例では、前記 RF 端子と前記 RF 増幅器との間に接続されて前記 RF 信号を該 RF 増幅器に整合させる RF 入力整合回路と、前記 LO 端子と前記 LO 増幅器との間に接続されて前記 LO 信号を該 LO 増幅器に整合させる LO 入力整合回路と、をさらに備え、該 RF 入力整合回路及び該 LO 入力整合回路は、それぞれ少なくとも一つのインダクタを含む。

【0019】さらに他の実施例では、前記 RF 入力整合回路に含まれるインダクタの線幅が、前記 LO 入力整合回路に含まれるインダクタの線幅よりも大きい。

【0020】さらに他の実施例では、前記 RF 入力整合回路は、前記基板の一方の面の上に形成された少なくとも一つのスパイラル型インダクタを含み、該スパイラル型インダクタの中心部は、スルーホール及び該スルーホールに接続して該基板のもう一方の面に形成された配線によって前記 RF 端子に接続されている。

【0021】さらに他の実施例では、前記 RF 増幅器と前記ミキサとの結合部及び前記 LO 増幅器と該ミキサとの結合部にそれぞれ接続された LC 共振回路または 1/4 波長線路を備えており、該 LC 共振回路または該 1/4 波長線路は高周波接地用キャパシタを含み、該キャパシタは前記半導体チップの内部に形成されている。

【0022】さらに他の実施例では、前記 RF 入力整合回路、前記 LO 入力整合回路、前記 RF 増幅器と前記ミキサとの結合部及び前記 LO 増幅器と該ミキサとの結合部にそれぞれ設けられる前記 LC 共振回路または前記 1/4 波長線路は、それぞれ前記基板上に設けられており、前記ミキサに対応する出力整合回路は該基板上に設けられていない。

【0023】さらに他の実施例では、前記基板の表面において、前記半導体チップの実装箇所に対応する箇所に接地電極が配置されている。

【0024】さらに他の実施例では、前記基板の電源配線の線幅が、該基板内の最小線幅と同等の値である。

50 【0025】さらに他の実施例では、前記端子は少なく

とも一つの電源端子を含み、同一の電源端子に複数のインダクタが接続されており、該複数のインダクタを接続する配線の線幅が、前記基板内の最小線幅と同等の値である。

【0026】さらに他の実施例では、前記基板上の前記インダクタにおいて、隣接する導体間にそれらを短絡する短絡導体が設けられている。

【0027】さらに他の実施例では、前記高誘電体材料として、誘電率の異なる複数の材料が用いられている。

【0028】さらに他の実施例では、前記半導体チップは、マイクロバンプボンディング(MBB)法またはスタッドバンプボンディング(SBB)法によるフリップチップボンディング技術を用いて前記基板に実装されている。

【0029】さらに他の実施例では、前記半導体チップは、前記基板に樹脂により固定されている。

【0030】さらに他の実施例では、前記端子は、前記基板の側面に対して凹型をなしている。

【0031】さらに他の実施例では、前記端子は、前記基板の加工時に該端子に相当する部分にスルーホールを形成し、少なくとも該スルーホールの内面に金属膜を被覆した後に該スルーホールを切断することによって形成されている。好ましくは、前記基板の表面における前記端子に関連した前記金属膜の形状が、多角形または円形である。

【0032】さらに他の実施例では、前記基板の一方の面に設けられた前記半導体チップに接続される電源電極及び接地電極をさらに備え、該電源電極及び該接地電極のうちの少なくとも一方が、該基板のもう一方の面に配置された電源電極及び接地電極にそれぞれ複数のスルーホールを通じて接続されている。

【0033】さらに他の実施例では、前記端子のうちの少なくとも一つが、該基板の四隅のうちのひとつに設けられている。

【0034】さらに他の実施例では、前記基板が高誘電率を有する材料から形成されている。好ましくは、前記基板がセラミック基板である。

【0035】さらに他の実施例では、前記基板が低誘電率を有する材料から形成されている。好ましくは、前記基板がガラスエポキシ基板である。

【0036】さらに他の実施例では、前記端子のそれぞれに接続して、前記基板から外側に向けて伸びる形状を有する導電性材料からなるピン電極が設けられている。

【0037】さらに他の実施例では、前記半導体チップの内部には前記MIMキャパシタが複数設けられており、該複数のMIMキャパシタに含まれる下部電極がお互いに接続されている。

【0038】さらに他の実施例では、前記半導体チップの内部に含まれる前記複数の回路要素のうちで、大きな電圧の信号に関与する第1の種類の回路要素が該半導体

チップの外縁部にお互いに隣接しないように配置され、小さな電圧の信号に関与する第2の種類の回路要素が該第1の種類の回路要素の間に配置されている。

【0039】さらに他の実施例では、前記半導体チップの内部に含まれる前記複数の回路要素のうちで、特性インピーダンスが高い第1の種類の回路要素が該半導体チップの外縁部にお互いに隣接しないように配置され、特性インピーダンスが低い第2の種類の回路要素が該第1の種類の回路要素の間に配置されている。

【0040】さらに他の実施例では、前記半導体チップが配置されている前記基板の表面を覆う上面が平坦な樹脂層をさらに備え、該半導体チップが該樹脂層で覆われている。

【0041】

【作用】請求項1に規定される本発明のハイブリッドICでは、半導体チップを配置した基板の外周に直接端子が形成されている。この端子は、ハイブリッドICの内部の回路を外部の回路に接続するために使用される。これによって、従来のような外部回路との接続に関連したワイヤボンディング及びパッケージが不要になるため、製造工程数が最小限に抑えられ、低コスト化及び小型化が可能になる。また、ボンディングワイヤやパッケージによる動作特性への高周波的な悪影響がなく、優れた特性のハイブリッド回路を実現することができる。さらに、請求項1に規定される本発明のハイブリッドICでは、高誘電体材料を用いた大容量MIMキャパシタが半導体チップ内に内蔵されている。このため、基板上にチップ部品として容量素子を搭載する必要がなく、基板面積を削減することができる。以上の作用の組み合わせにより、超小型・低コストのハイブリッドICを実現することができる。

【0042】請求項2に規定される本発明のハイブリッドICでは、半導体チップの内部の回路素子に入力信号を整合させる整合回路を備えている。これによって、インピーダンスの整合を得て、良好な動作特性を得ることができる。

【0043】請求項3に規定される本発明のハイブリッドICでは、上記の整合回路に含まれるインダクタは、半導体チップの中ではなく、基板の一方の面の上に形成されている。これによって、半導体チップの大きさの増加を防ぐことができる。

【0044】請求項4に規定される本発明のハイブリッドICでは、整合回路は、インダクタのみを含む構成を有している。これによって、必要なインダクタの個数及び占有面積が減少する。これより、ハイブリッドICが小型化されると同時に、優れたイメージ周波数抑圧比及びアイソレーション特性を得ることができる。

【0045】請求項5に規定される本発明のハイブリッドICでは、スパイラル型インダクタの最外周線を接地している。これにより、他の配線に近づくスパイラル型

インダクタの最外周線の電圧が、低く抑えられる。この結果、他の信号線との結合を防ぐことができ、優れたアイソレーション特性を得ることができる。

【0046】一方、請求項7に規定される本発明のハイブリッドICでは、整合回路をインダクタ及びキャパシタで構成し、キャパシタを半導体チップの内部に形成している。これによって、インダクタの必要数を減らすことができる一方で、基板面積は増加しない。このため、より小型のハイブリッドICを実現することができる。

【0047】なお、整合回路に含まれるインダクタは、スパイラル型またはミアンダ型とすることができる。スパイラル型では、単位面積あたりのインダクタンス値を大きくできる。一方、ミアンダ型では、スルーホール個数が減る。

【0048】請求項10に規定される本発明のハイブリッドICでは、基板の外周に形成される端子のうちで、高周波信号の入出力に關与するRF端子、LO端子及びIF端子に隣接する端子として、接地端子または電源端子を配置する。これより、高周波信号の入出力端子を低インピーダンスの端子で挟むことになり、高周波信号間の干渉をなくすることができる。また、RF端子などからRF信号などの高周波信号が漏れ出ても高周波的に接地へ逃がすことができるため、高周波信号の入出力端子と他の端子とのアイソレーション特性が改善される。この結果、優れた特性を維持したままハイブリッドICを小型化することができる。

【0049】請求項13に規定される本発明のハイブリッドICでは、RF入力整合回路に含まれるインダクタの線幅を、LO入力整合回路のインダクタの線幅よりも大きくする。これによって、配線抵抗の増加が入力損失に影響を与えるRF入力整合回路の線幅を大きくする一方で、配線抵抗の増加に伴う損失が少ないLO入力整合回路の線幅を細くすることができるので、インダクタの外形寸法をさらに小さくすることができ、より小型のハイブリッドICを実現することができる。

【0050】請求項14に規定する本発明のハイブリッドICでは、RF入力整合回路とRF端子とを接続する配線を、RF入力整合回路が形成されているのとは反対側の基板面を通して。これによって、高周波信号であるRF信号に關与する信号線と他の信号線との結合を防ぐことができ、優れたアイソレーション特性を得ることができる。

【0051】請求項15に規定される本発明のハイブリッドICでは、高周波接地用キャパシタを含むLC共振回路または1/4波長線路が、RF増幅器とミキサ及びLO増幅器とミキサの結合点に設けられている。これによって、半導体チップにおける消費電流が低減される。さらに、高周波接地用キャパシタは半導体チップの内部に設けられるので、基板上に容量を形成する必要がなく、基板寸法の小型化を図ることができる。

【0052】請求項16に規定される本発明のハイブリッドICでは、ミキサに対応する出力整合回路のみがハイブリッドICが形成される基板上に設けられない。これによって、基板寸法の増大及びコストの増加が防がれる。

【0053】請求項17に規定される本発明のハイブリッドICでは、半導体チップの実装箇所に対応する基板表面に接地電極を配置する。これによって、基板表面において、入力端子側と出力端子間に接地電極が配置されることになる。これより、入力と出力を高周波的に分離することができるため、優れたアイソレーション特性を得ることができる。

【0054】請求項18に規定される本発明のハイブリッドICでは、電源配線の線幅を、LO信号線の配線幅と同等以下の細い値にすることになる。これより、電源線を通じて起こる、同一の電源につながる各素子間の影響を低減することができるため、優れた特性のハイブリッドICを実現することができる。

【0055】請求項19に規定される本発明のハイブリッドICでは、複数のインダクタにそれぞれ接続されている電源配線を、基板内の最小線幅と同等の値とする。これより、インダクタ間の相互作用を抑えることができる。

【0056】請求項20に規定される本発明のハイブリッドICでは、インダクタに短絡配線を設けている。この短絡配線を適宜切断することによって、簡単な構成でインダクタンス値を調整することができ、所望の利得・雑音特性を得ることができる。

【0057】請求項21に規定される本発明のハイブリッドICでは、形成される容量の大きさと精度に応じ、絶縁体膜を形成する高誘電体材料を複数の材料から選択する。これより、半導体チップの小型・高精度化を図ることができる。

【0058】請求項22に規定される本発明のハイブリッドICでは、M.B.B法またはS.B.B法によるフリップチップボンディングの採用によって、半導体チップ上及びセラミック基板上のボンディングパッド面積が縮小される。同時に、セラミック基板上のボンディングパッド位置をチップ下面に配置することができるため、セラミック基板を小型化することができる。

【0059】請求項23に規定される本発明のハイブリッドICでは、樹脂の硬化にともなって半導体チップと基板との固着力が増加する。このため、半導体チップとセラミック基板との密着強度、及び半導体チップの信頼性を、同時に高めることができる。また、接続箇所の接触抵抗値を下げて、確実な電氣的導通を確保することができる。

【0060】請求項24に規定される本発明のハイブリッドICでは、基板とプリント基板をはんだ接続する際に、はんだが端子の凹部に取り込まれる。これより、安

定なはんだ付けを行うことができる。

【0061】請求項 25 に規定される本発明のハイブリッド IC では、基板の端子を容易に形成することができ、低コストのハイブリッド IC を実現できる。

【0062】請求項 26 に規定される本発明のハイブリッド IC では、端子に隣接した基板面に形成されて端子の一部として機能する金属膜部分の面積が低減される。これより、低コストのハイブリッド IC が実現される。

【0063】請求項 27 に規定される本発明のハイブリッド IC では、電源電極及び接地電極の面積が低減され 10
る。これより、基板を小型化することができる。

【0064】請求項 28 に規定されるように、端子を基板の四隅に形成すれば、端子面積が削減されて基板が小型化される。

【0065】請求項 29 に規定されるように、基板として高誘電体材料を使用すれば、伝送線路の長さによる位相回転の効果が大きくなるために、インダクタの面積を小さくすることができる。一方、請求項 31 に規定されるように、基板として低誘電体材料を使用すれば、スパイラル型インダクタの共振周波数を向上することができ 20
る。あるいは、配線間隔を狭めることができるため、同一のインダクタンス値を得るために必要なインダクタの占有面積が削減される。

【0066】請求項 33 に規定される本発明のハイブリッド IC では、ピン電極の使用によって、ハイブリッド IC の回路基板への搭載にあたって従来のはんだ実装工程を適用することができ、組立コストの増加が抑制される。

【0067】請求項 34 に規定される本発明のハイブリッド IC では、半導体チップ内に形成される複数の MIM キャパシタの下部電極をお互いに接続することによっ 30
て、寄生容量が基板側に形成されなくなる。これによって、動作特性への悪影響が抑制される。

【0068】請求項 35 あるいは請求項 36 に規定される本発明のハイブリッド IC では、高周波信号に参与する回路要素間での結合が防止される。

【0069】請求項 37 に規定される本発明のハイブリッド IC では、上面が平坦な樹脂層を形成することによって、ハイブリッド IC の回路基板への搭載にあたって従来のインサータを使用することができ、組立コストの 40
増加が抑制される。

【0070】

【実施例】

(実施例 1) 以下、本発明の第 1 の実施例に係るハイブリッド IC を、図 2 ～ 図 8 を参照しながら説明する。

【0071】図 2 は、本実施例のハイブリッド IC 100 の斜視図である。図 2 において、セラミック基板 122 の表面には、金属薄膜の一層配線によりスパイラル型インダクタ 102 ～ 107 が形成されている。それぞれのインダクタ 102 ～ 107 は、スルーホール 114 ～ 50

119 によりセラミック基板 122 の裏面に形成されている配線パターン (図 2 には不図示) に接続されている。セラミック基板 122 と外部回路との接続は、セラミック基板 122 の端面に凹型に形成された端子 108 ～ 113 により行われる。

【0072】端子 108 ～ 113 は、例えば、以下のよう 10
にして形成される。セラミック基板 122 は、大きな面積を有する基板を所定のラインで分割して得られる。この分割工程に先立って、分割線に相当する位置に沿って複数のスルーホールを設け、そのスルーホールの内面に Au めっきを行う。その後、これらのスルーホールを通る分割線に沿って基板を分割する。これによって、Au めっきが施されたスルーホールが分割されて、端子 108 ～ 113 が得られる。これより、各端子 108 ～ 113 の表面、ならびにセラミック基板 122 の表面及び裏面のうちで各端子 108 ～ 113 に隣接する部分には、電気的導通を確実に確保するための Au めっき層 108a ～ 113a が形成されている。

【0073】図 2 では、それぞれの端子 108 ～ 113 は、断面が半円状をした半円柱状の部分がセラミック基板 122 から取り除かれた形状をしている。しかし、形状はこれに限られるものではない。例えば、断面が四角形などの角柱状の部分がセラミック基板 122 から取り除かれた形状を有する端子を形成してもよい。ただし、上述した方法によって端子 108 ～ 113 を形成する場合 20
には、端子の形状を図 2 に示すようなものにするることによって、形成工程の簡略化や形成される形状の高精度化を図ることができる。

【0074】高周波信号の入出力端子 108 ～ 110 に隣接する端子 111 ～ 113 は、必ず低インピーダンスの電源端子 111 または接地端子 112、113 であるように配置される。これは、それぞれの端子 108 ～ 113 の間で高周波的な結合が起こらないようにするためである。

【0075】セラミック基板 122 の表面には、GaAs IC チップなどの半導体チップ 101 が、フェースダウン実装されている。半導体チップ 101 の表面 (図 2 には不図示) には、高誘電率材料を用いた容量素子、イオン注入法または薄膜形成法によって作られた抵抗素子、及び FET が形成されている。半導体チップ 101 に隣接して、スルーホール 111b、112b が設けられている。スルーホール 111b は、セラミック基板 122 の裏面に設けられた配線パターンを介して、電源端子 111 に接続されている。同様にスルーホール 112b は、セラミック基板 122 の裏面に設けられた配線パターンを介して、接地端子 112、113 に接続されている。半導体チップ 101 は、さらに、RF (Radio Frequency) 信号線 130 及び LO (Local Oscillator) 信号線 131 によってスルーホール 114、116 に接続されている。これらのスルーホール 114、116

は、後述するように、セラミック基板 122 の裏面に設けられた配線パターンを介して、RF 端子 108 及び LO 端子 109 にそれぞれ接続されている。

【0076】スパイラル構造を有するインダクタ 103 では、スパイラルの最外周配線を接地端子 112 に接続して接地しているため、スパイラルの中心部から外周部へ向かうほど低インピーダンスになる。従って、例えば半導体チップ 101 の内で発生した LO 漏洩電力が RF 信号線 130 を伝搬して来ても、RF 信号線 130 に隣接するインダクタ 103 の低インピーダンス線による遮蔽効果によって、LO 漏洩電力が RF 端子 108 と直接的に結合することがない。

【0077】図 3 は、図 2 に示したセラミック基板 122 の上面図である。ただし、図 2 に描かれていた半導体チップ 101 を実装する前の状態を示す。なお、図 2 と同じ構成要素には同じ参照番号を付してあるので、その詳細な説明はここでは省略する。

【0078】図 3 に示されるように、半導体チップの実装部に相当する箇所には、接地電極 140 が設けられている。この接地電極 140 は、スルーホール 112b を介して、セラミック基板 122 の端面に設けられた接地端子 112、113 に接続されている。このように接地電極 140 を設けることによって、RF 信号と LO 信号とが電氣的に分離される。そのため、LO 信号から RF 信号への漏洩電力が低減される。

【0079】スパイラル型インダクタ 102~107 では、隣接する導体間に短絡導体 150 を設けている。レーザートリミング装置等によりこの短絡導体 150 を適宜切断することによって、インダクタンス値を容易に微調整することができる。

【0080】後述する RF 入力整合回路に含まれるインダクタ 102、103 では、その配線抵抗が入力損失に影響を与える。そこで、その配線抵抗を低減するため、配線幅及び配線間隔をそれぞれ 50 μm に設定している。一方、後述する LO 入力整合回路に含まれるインダクタ 105、106、及び段間負荷インダクタ 104、107 では、その損失がそれほど問題にならないため、インダクタの占有面積を低減する目的で配線幅及び配線間隔を 30 μm に設定し、セラミック基板 122 の小型化を図っている。

【0081】図 4 は、セラミック基板 122 の裏面図である。但し、記載を明瞭にするために、図 4 は、描かれているセラミック基板 122 の上下左右方向が図 2 及び図 3 に示したものと同一になるように、透視図として描かれている。また、図 4 において、図 2 及び図 3 と同じ構成要素には同じ参照番号を付してある。

【0082】図 3 及び図 4 を参照して、セラミック基板 122 の裏面の配線パターン、及び入力される信号の流れを以下に説明する。

【0083】RF 端子 108 から入力された RF 信号

は、基板 122 の裏面に設けられた信号線 108c によって接続されたスルーホール 114、115 を経て、基板 122 の表面のインダクタ 102、103 に伝達される。さらに、インダクタ 102 から、RF 信号線 130 を通って半導体チップ 101 の RF 入力端子に入力される。

【0084】LO 端子 109 から入力された LO 信号は、基板 122 の裏面に設けられた信号線 109c によって接続されたスルーホール 116、117 を経て、基板 122 の表面のインダクタ 105、106 に伝達される。さらに、インダクタ 105 から、LO 信号線 131 を通って半導体チップ 101 の LO 入力端子に入力される。

【0085】電源端子 111 は、基板 122 の裏面に設けられた信号線 111c によって接続されたスルーホール 111b を経て、半導体チップ 101 の電源端子に接続されている。さらに、セラミック基板 122 の裏面の大半を覆うように、接地端子 112、113 に接続された接地配線パターン 112c が設けられている。

【0086】図 5 は、図 2 の A-A' 線における断面図である。図 5 においても、図 2~4 と同じ構成要素には同じ参照番号を付している。また、これまでの図で個別に示されていたセラミック基板 122 の表面に設けられる金属配線パターン、及びそれにスルーホール 111b、112b を介して接続されているセラミック基板 122 の裏面に設けられる金属配線パターンは、図 5 では参照番号 302、303 によって総称的に示している。

【0087】半導体チップ 101 は、チップ上のボンディングパッドに Au パンプ 301 を接着した後に、チップ表面を下にしてセラミック基板 122 上の所定の位置に固定される。固定には光硬化性樹脂 304 を用い、紫外線を照射することにより半導体チップ 101 をセラミック基板 122 に固着させる。このときの光硬化性樹脂 304 の収縮力により、Au パンプ 301 は、セラミック基板 122 の表面の金属配線 302 に低い接触抵抗値で接続される。

【0088】半導体チップ 101 の固着にあたっては、半導体チップ 101 をセラミック基板 122 に向かって押しながら樹脂を硬化させる。上記で使用している光硬化性樹脂は短時間で硬化するので、上記の工程で半導体チップ 101 にダメージが与えられる可能性が小さい。あるいは、光硬化性樹脂に代えて、熱硬化性樹脂あるいは速乾性樹脂も使用できる。

【0089】図 6 は、本実施例のハイブリッド IC 及び周辺回路の回路図である。図 6 において、図 2~4 における端子 108~113 に相当する箇所は、同じ参照番号によって示している。

【0090】図 6 に示されるように、セラミック基板 122 上には、RF 増幅器 430、LO 増幅器 431 及びミキサ 432 から構成されている半導体チップ 101

が、フリップチップ法により実装されている。また、RF入力整合回路439、LO入力整合回路440、RF増幅器430の負荷インダクタ104、及びLO増幅器431の負荷インダクタ107が、セラミック基板122の上にさらに形成されている。RF増幅器430の負荷インダクタ104及びLO増幅器431の負荷インダクタ107は、ともに電源端子111に接続されている。

【0091】RF入力整合回路439は「直列-並列型」と呼ばれるタイプのものであって、信号線108cに直列に接続されている直列インダクタ102、及び信号線108cと接地電極456との間に並列に設けられている並列インダクタ103により構成されている。LO入力整合回路440も同様な「直列-並列型」であって、信号線109cに直列に接続されている直列インダクタ105、及び信号線109cと接地電極456との間に並列に設けられている並列インダクタ106により構成されている。

【0092】図6では、並列インダクタ103、106がそれぞれの整合回路の入力側に近く配置されている。あるいは、直列インダクタ102、105を、それぞれの整合回路の入力側に近く配置してもよい。

【0093】本実施例のハイブリッドICでは、RF増幅器430への入力線に接続された直流遮断容量409、RF増幅器430とミキサ432との間の接続容量411、LO増幅器431への入力線に接続された直流遮断容量410、及びLO増幅器431とミキサ432との間の接続容量412とが、半導体チップ101の内部に集積化されている。

【0094】さらに、RF増幅器430の負荷インダクタ104及びLO増幅器431の負荷インダクタ107の電源端を高周波的に接地するための接地容量407、408が、同様に半導体チップ101の内部に集積化されている。接地容量407、408は、絶縁膜として高誘電体材料を用いて形成されている。

【0095】RF増幅器430は、バイアス抵抗413、416により自己バイアスされたデュアルゲートFET401から構成されている。同様に、LO増幅器431は、バイアス抵抗414、417により自己バイアスされたデュアルゲートFET402から構成されている。さらに、ミキサ432は、バイアス抵抗415、418、419により自己バイアスされたデュアルゲートFET403から構成されている。それぞれのデュアルゲートFET401~403の各ソース端子は、高誘電体材料を用いた接地容量404~406により、それぞれ高周波的に接地されている。

【0096】ミキサ432により周波数変換されたIF(Intermediate Frequency)信号は、本実施例のハイブリッドICが設けられているセラミック基板122の外部に設けられたIF出力整合回路451により、外部回

路系の特性インピーダンスに整合される。その後、IF出力端子454から出力される。IF出力整合回路451は、電源455と信号線との間に並列に接続されているインダクタ446、信号線と接地電極456との間に並列に接続されている接地容量448、及び信号線に直列に接続されているインダクタ447と容量449とによって構成されている。

【0097】なお、電源455とセラミック基板122の電源端子111とを接続する電源ラインには、接地容量450が接続されている。

【0098】本実施例では、半導体チップ101の内部の回路要素とセラミック基板122上の他の回路要素とを接続するために、マイクロバンプボンディング法(MBB法)を用いて半導体チップ101をセラミック基板122にフェースダウン実装する。具体的には、半導体チップ101のボンディングパッド420~429上にAuバンプを接着し、半導体チップ101の表面を下にしてセラミック基板122のボンディングパッド位置に正確に配置する。その後、先に図5を参照して説明したように、樹脂、例えば光硬化性樹脂によりセラミック基板122上に半導体チップ101を固定する。なお、実装にあたっては、MBB法に代えてスタッドバンプボンディング法(SBB法)も使用できる。

【0099】本実施例において、典型的には、RF信号の周波数は880MHz、LO信号の周波数は790MHz、及びIF信号の周波数は90MHzである。このように、IF信号の周波数はRF信号やLO信号の周波数に比べて非常に低いため、IF出力整合回路451を構成するインダクタ446、447のインダクタンス値は、RF入力整合回路439に含まれるインダクタ102、103、及びLO入力整合回路440に含まれるインダクタ105、106のインダクタンス値の10倍以上の値になる。このため、IF出力整合回路451をセラミック基板122上に形成することは基板面積の極端な増大をもたらす、結果的にはコストの増加につながる。

【0100】本実施例では、セラミック基板122上に形成することによって大きな効果が得られる回路部分のみを基板122の上に集積化して形成することによって、高性能化及び低コスト化をともに実現している。

【0101】なお、セラミック基板122に設けられる電源配線の線幅は、基板内の最小線幅と同等にする。また、電源端子111にはRF増幅器430の負荷インダクタ104及びLO増幅器431の負荷インダクタ107がともに接続されているが、これらのインダクタ104、107を接続する配線の線幅も、基板内の最小線幅と同等にする。

【0102】図7は、図6に示した回路図に対応する半導体チップ101の、具体的な回路要素の配置を示す平面図である。図7において、図6と同じ回路要素には同

じ参照番号を付している。

【0103】半導体チップ101では、イオン注入法を用いて、GaAs基板200の上にMESFET及び抵抗素子を形成している。一方、容量素子にはMIM構造を採用しており、その絶縁膜には2種類の材料を使い分けている。すなわち、大きな容量値が要求される部分、具体的にはRF増幅器430及びLO増幅器431の負荷インダクタ104、107を接地する接地容量407、408などには、高誘電率材料である比誘電率が120程度のチタン酸ストロンチウム膜を使用している。一方、容量値に精度が要求されるその他の容量には、低誘電率材料である比誘電率が7程度の窒化シリコン膜を使用している。これは、窒化シリコン膜の方が膜厚の制御を確実に行うことができるために、形成される容量の値を精度良く制御できるからである。ただし、使用できる材料は上記に限られるわけではない。例えば、高誘電率材料としては、バリウムチタン酸ストロンチウム(BaSrTiO₃)や酸化タンタル(TaO₅)を使用することができ、低誘電率材料としては、酸化シリコン(SiO₂)や酸化窒化シリコン(SiON)を使用することができ

【0104】また、本実施例のハイブリッドIC100では、異なる信号間の結合を防止するために、半導体チップ101の内部で、信号電圧が相対的に高い部分と低い部分とをお互いに分離して配置している。すなわち、信号電圧及び特性インピーダンスが高い部分(第1種類の回路要素)を半導体チップ101の外縁部にお互いに分離して配置している。一方、信号電圧及び特性インピーダンスが低い部分(第2種類の回路要素)は、半導体チップ101の内側において、第1種類の回路要素の間に配置している。

【0105】具体的には、RF信号系においてはボンディングパッド420、423、直流遮断容量409、FET401及び接続容量411、またLO信号系においてはボンディングパッド421、424、直流遮断容量410、FET402及び接続容量412を、チップ101の外側に配置する。上記の回路要素はいずれも、関与する信号電圧及び特性インピーダンスがともに高い。一方、関与する信号電圧及び特性インピーダンスがともに低い回路要素である接地容量(バイパスコンデンサ)404、405を、半導体チップの内側のRF信号系とLO信号系との間に配置している。

【0106】また、ミキサ432においても、特性インピーダンスが低い接地容量(バイパスコンデンサ)406を半導体チップ101の内側に集積化して配置し、RF信号とLO信号とを分離している。

【0107】このような配置によって、RF信号とLO信号との間の高周波的な結合を抑制して、優れた高周波特性を得ることができる。

【0108】以上のように構成された本実施例のハイブ

リッドIC100の動作を、先述の図6に示した回路図を参照して説明する。

【0109】RF入力端子452より入力されたRF信号は、セラミック基板122の端面に設けられた端子の一つであるRF端子108を介して、RF入力整合回路439に入力される。その後、RF増幅器430を構成するデュアルゲートFET401の第1ゲートに入力され、FET401により増幅される。その後、接続容量411を経て、ミキサ432のデュアルゲートFET403の第1ゲートに入力される。

【0110】同様に、LO入力端子453より入力されたLO信号は、セラミック基板122の端面に設けられた端子の一つであるLO電極109を介して、LO入力整合回路440に入力される。その後、LO増幅器431を構成するデュアルゲートFET402の第1ゲートに入力され、FET402により増幅される。その後、接続容量412を経て、ミキサ432のデュアルゲートFET403の第2ゲートに入力される。

【0111】ミキサ432のデュアルゲートFET403はRF信号及びLO信号を周波数変換し、RF信号及びLO信号それぞれの周波数の和及び差の周波数成分を持つIF信号を出力する。IF信号は、セラミック基板122の端面に設けられた端子の一つであるIF端子110を介してIF出力整合回路451に入力され、さらにIF出力端子454から後段の回路へと出力される。

【0112】RF増幅器430の負荷にはインダクタ104が用いられており、デュアルゲートFET401のドレインゲート間容量C_{gd}、及びデュアルゲートFET403の第1ゲートソース間容量C_{gs}とともに、並列共振回路を形成している。従って、この並列共振回路の共振周波数をRF信号の周波数に合わせることで、高い利得を持つRF増幅器430が構成できる。

【0113】LO増幅器431についても同様に、インダクタ負荷107、デュアルゲートFET402のドレインゲート間容量C_{gd}、及びデュアルゲートFET403の第2ゲートソース間容量C_{gs}による並列共振回路を構成することによって、高い利得を持つLO増幅器431を得ている。

【0114】あるいは、このRF増幅器430及びLO増幅器431の負荷インダクタ104、107をそれぞれ1/4波長線路で置き換えても、同等の性能が得られる。RF入力整合回路439及びLO入力整合回路440は、同一の概念に基づいて設計されている。例えば、RF入力整合回路439を例にとりて説明すると、デュアルゲートFET401のゲート端子に直列インダクタ102が接続され、さらに直列インダクタ102の入力側に並列インダクタ103が接続されている。この構成により、インダクタ102、103のインダクタンス値を、他の整合回路構成を採用した場合に得られるインダクタンス値より小さくすることができる。したがって、

整合回路 439 の占有面積を小さくすることができる。
これは、LO 入力整合回路 440 でも同様である。

【0115】また、本実施例では、小型化を目的としてインダクタ 102 ~ 107 にスパイラル型インダクタを用いている。あるいは、ミアンダ型インダクタを用いてもよい。スパイラル型インダクタとミアンダ型インダクタとを比較した場合、スパイラル型の方が単位面積あたりのインダクタンス値を大きくできる点で特性的には有利である。一方、ミアンダ型インダクタは、形成が必要なスルーホールを減らすことができるので、コスト

を下げることができる。

【0116】以下に、図 8 (a) 及び図 8 (b) を参照して、本実施例における容量の構造を説明する。

【0117】図 8 (a) は、図 7 の線 B-B' における断面図であり、RF 増幅器 430 及び LO 増幅器 431 にそれぞれ含まれる接地容量 404、405 の構造を示す。一方、図 8 (b) は、図 8 (a) の構造を従来技術によって構成した場合の断面図である。なお、図 8

(b) の構成要素には、図 8 (a) における対応する構成要素の参照番号にさらに“b”を加えた番号を付けて

いる。

【0118】図 8 (a) において、GaAs 基板 200 の上に、第 1 の層間膜 201 を堆積し、さらにその上に適切な大きさにパターン化された下部電極 202 を形成している。下部電極 202 は、2 つの接地容量 404、405 に共通した接地電極として機能する。

【0119】下部電極 202 の上には、それぞれの接地容量 404、405 に対応する高誘電体薄膜 203、キャパシタ電極 204 及び上部電極 205 が設けられている。接地容量 404、405 が形成されている箇所以外

の部分は第 2 の層間膜 206 によって覆われ、さらにその上を保護膜 207 が覆っている。

【0120】一方、従来技術では、一般に図 8 (b) に示すように、GaAs 基板 200 b の上に第 1 の層間膜 201 b を堆積し、さらにその上に、適切な大きさにパターン化された下部電極 202 b をそれぞれの接地容量 404 b、405 b に対応して別個に形成する。それぞれの下部電極 202 b の上には、接地容量 404 b、405 b に対応する高誘電体薄膜 203 b、キャパシタ電極 204 b を形成する。また、接地容量 404 b、405 b が形成されている箇所以外

の部分は、第 2 の層間膜 206 b によって覆う。上述の構造の上を覆うように、上部電極 205 b が設けられ、さらにその上を保護膜 207 b が覆っている。

【0121】このように、従来技術では、上部電極 205 b を接地電極として共有する。この場合、2 つの接地容量 404 b、405 b に対応する下部電極 202 b の間に存在する寄生容量 C_s' は、図 8 (b) に示すように基板 200 b 側に存在する。この寄生容量 C_s' は、基板 200 b が高い誘電率を有していることから、比較

的大きな値を有し、その結果として 2 つの容量 404 b、405 b の間の高周波結合の原因になる。

【0122】これに対して本実施例では、2 つの接地容量 404、405 の間で下部電極 202 を共有し、接地電極として機能させる。この構成では、寄生容量 C_s は、図 8 (a) に示すように下部電極 202 よりも上側でのみ形成される。このため、基板 200 の高い誘電率が寄生容量 C_s に影響を与えない。逆に、寄生容量 C_s の形成位置に相当する箇所にエポキシ樹脂などの樹脂が充填される場合には、一般にそれらの樹脂が低誘電率を有することから、寄生容量 C_s の値を小さくすることができる。

【0123】このように、図 8 (a) に示すような構成を有する容量を形成することによって、本実施例のハイブリッド IC 100 では、接地容量 404、405 の間の高周波結合を大幅に低減することができ、回路の高周波特性を改善することができる。

【0124】なお、上記の説明では接地容量 404、405 を例にとっているが、図 8 (a) に示すような容量の構成は、本実施例のハイブリッド IC 100 における半導体チップ 101 の内部に含まれる他の容量に対しても、適用可能である。

【0125】(実施例 2) 以下、本発明の第 2 の実施例に係るハイブリッド IC について、図 9 を参照しながら説明する。

【0126】図 9 は、第 2 の実施例のハイブリッド IC 250 及び周辺回路の回路図である。図 9 が、第 1 の実施例におけるハイブリッド IC 100 を示す図 6 と異なる点は、RF 入力整合回路 607 及び LO 入力整合回路 608 に並列容量 605、606 を付加するとともに、直列インダクタ 601、603 及び並列インダクタ 602、604 の接続順序が逆になっている点である。これによって、RF 入力整合回路 607 及び LO 入力整合回路 608 は、それぞれ「並列-直列型インダクタ+並列容量」構成となっている。なお、図 6 及び図 9 において、同じ構成要素には同じ参照番号を付けており、その詳細な説明はここでは省略する。

【0127】RF 入力整合回路 607 は、直列インダクタ 601、並列インダクタ 602、及び並列容量 605 により、図 9 に示すように構成されている。LO 入力整合回路 608 も同様にして、直列インダクタ 603、並列インダクタ 604、及び並列容量 606 により、図 9 に示すように構成されている。

【0128】上記の RF 入力整合回路 607 及び LO 入力整合回路 608 の構成において、インダクタ 601 ~ 604 は半導体チップ 457 の外部のセラミック基板 458 の上に形成されている、並列容量 605、606 は、それぞれ半導体チップ 457 の内部に集積化されている。具体的には、窒化シリコンを絶縁膜とする MIM 容量を用いて形成される。この構成により、並列インダ

クタ602、604のインダクタンス値を小さくすることができるため、セラミック基板458の小型化が可能になるとともに、イメージ周波数を有するIF信号による妨害を排除する能力が高まる。

【0129】(実施例3)以下、本発明の第3の実施例に係るハイブリッドICについて、図10を参照しながら説明する。

【0130】図10は、第3の実施例におけるハイブリッドIC300に含まれるセラミック基板の上面図である。ただし、半導体チップを実装する前の状態を示す。10
なお、図3に示した第1の実施例の場合と同じ構成要素には同じ参照番号を付してあるので、その詳細な説明はここでは省略する。

【0131】図10に示すように、本実施例のハイブリッドIC300では、第1及び第2の実施例のハイブリッドIC100、250における一部のスパイラル型インダクタに代えて、ミアンダ型インダクタ701~704を使用する。低損失が要求されるRF入力整合回路のインダクタ102、701は、配線抵抗を低減するために配線幅及び配線間隔を50 μ mに設定している。一方、LO入力整合回路のインダクタ105、703及び段間負荷インダクタ702、704は、その損失がそれほど問題にならないため、インダクタの占有面積を低減する目的で配線幅及び配線間隔を30 μ mに設定し、セラミック基板の小型化を図っている。20

【0132】ミアンダ型インダクタ701~704及びスパイラル型インダクタ102、105のそれぞれにおいて、隣接する導体間に短絡導体712、150を設けている。レーザートリミング装置等によりこの短絡導体712、150を適宜切断することによって、各インダクタ102、105、701~704のインダクタンス値を容易に微調整することができる。30

【0133】ミアンダ型インダクタ701~704を用いることにより、形成すべきスルーホール個数を減らすことができる。そのため、製造コストを低減することができる。

【0134】一方、本実施例においては、半導体チップの搭載箇所の近傍に形成される接地電極710には、2個のスルーホール705、706を設けている。同様に、電源電極711には、2個のスルーホール707、708を設けている。これらのスルーホール705~708によって、接地電極710及び電源電極711は、セラミック基板のもう一方の面に設けられている所定の配線パターンにそれぞれ接続されている。このとき、図10に示すように、複数の小型のスルーホールを用いることにより、スルーホールのインダクタンスを小さくすると同時に、セラミック基板を小さくすることができる。

【0135】なお、このような複数のスルーホールの形成は、本実施例で述べたミアンダ型インダクタを含むハ 50

イブリッドICに限られるものではない。他の実施例で説明しているようなスパイラル型インダクタのみを含むハイブリッドICについても、適用可能である。

【0136】(実施例4)図11は、本発明の第4の実施例におけるハイブリッドIC400の構成を示す上面図である。また、図12は、図11に示すハイブリッドIC400の回路図である。

【0137】本実施例のハイブリッドIC400では、基板530の端面に形成する端子の一部を、基板530の辺上ではなく四隅に設けている。具体的には、RF端子501、LO端子503、電源端子502、504を、基板530の四隅に設けている。一方、IF端子506及び接地端子505は、基板の辺上に設けている。このように、基板530の端部に形成する端子の一部を基板の四隅に形成することによって、基板530の必要面積を削減することができる。

【0138】基板530の上面には、スパイラル型インダクタ102~107を含む回路要素が形成されている。ここで形成される回路要素は、後述する抵抗素子520、521を除いて、先に図3を参照して説明した第1の実施例のハイブリッドIC100の場合と同様であるので、ここではその詳細な説明を省略する。また、基板530の表面における各回路要素の実際の配置は、使用する基板530の面積を考慮して最適なものにすればよい。

【0139】図12に示す本実施例のハイブリッドICの回路構成は、基本的に、先に図6を参照して説明した第1の実施例の回路構成と同様である。相違点は、RF増幅器430の負荷インダクタ104及びLO増幅器431の負荷インダクタ107にそれぞれ並列に、抵抗素子520、521が接続されている点である。これによって、負荷インダクタ104あるいは負荷インダクタ107から構成される共振回路のQ値を自由に調整することができ、回路の発振を防止できるという効果が得られる。なお、図12に含まれる上記の抵抗素子520、521以外の回路要素は、図6を参照して説明した第1の実施例のハイブリッドIC100の場合と同様であるので、ここではその詳細な説明を省略する。

【0140】以上に説明したように、本実施例によれば、基板530の小型化が実現される。

【0141】(実施例5)図13は、本発明の第5の実施例におけるハイブリッドIC500の斜視図である。

【0142】本実施例のハイブリッドIC500では、セラミック基板122の端部に(すなわち、辺に沿って)設けられる端子108~113に、さらに金属あるいは金属化合物などの導電性材料でできた端子ピンを接続している。端子ピンの材質としては、半導体用リードフレームに一般的に用いられる銅合金が適している。

【0143】具体的には、先に図2を参照して説明した第1の実施例のハイブリッドIC100の構成におい

て、それぞれの端子108~113を、角柱状の部分から基板122から除去されたような形状を有するように形成する。その上で、さらにそれぞれの端子の凹部を埋めるとともに、基板122から外側へ延びた形状を有する端子ピンを、各端子103~108に接続する。

【0144】このような形状の端子ピンを設けることにより、従来のはんだ実装によってハイブリッドIC500を回路基板へ搭載することができ、組立コストの上昇を抑えることができる。

【0145】なお、図13において、図2と同じ構成要素には同じ参照番号を付けている。一部の配置が異なっているものの、それらの機能や得られる特徴は同じであるので、その詳細な説明はここでは省略する。

【0146】(実施例6) 図14は、本実施例のハイブリッドIC600の構成を示す断面図である。図14は、先に第1の実施例に関連して説明した図5に対応するものである。同じ構成要素には同じ参照番号を付けているので、その詳細な説明はここでは省略する。

【0147】これまでに説明した第1~第5の実施例のハイブリッドIC100~500は、セラミック基板の上に半導体チップを搭載した状態のままであって、それに続く後工程は実施していない。それに対して本実施例では、図14に示すように、半導体チップ101をセラミック基板122の上にフリップチップボンディングした後に、さらにセラミック基板122の上に樹脂を充填して樹脂層610を形成する。このとき、樹脂層610の上面は、平坦化する。樹脂層610は、少なくとも半導体チップ101、及びセラミック基板122の表面に形成されるスパイラル型インダクタを覆うように形成する。樹脂層610の材料としては、例えばエポキシ樹脂、シリコン樹脂などを使用することができる。

【0148】これによって、ハイブリッドIC600を回路基板などに実装する際にインサータを使用することが可能になり、生産性が向上する。また、先に第1の実施例に関連して図8_(a)及び図8_(b)を参照して説明したように、このように樹脂610を充填すると、寄生容量が生じてその容量値を小さくすることができる。

【0149】なお、この樹脂層610の形成は第1の実施例で説明したハイブリッドIC100にのみ適用できるものではなく、他の実施例におけるハイブリッドICに対しても、同様に適用できる。

【0150】以上に説明した第1~第6の実施例では、いずれも比較的高い誘電率を有するセラミック基板の上に、本発明のハイブリッドICを形成している。あるいは、セラミック基板に代えて、低い誘電率を有する材料で形成された基板、例えばガラスエポキシ基板(誘電率: 4.0)を用いることもできる。

【0151】このように低い誘電率を有する材料でできた基板を使用することによって、スパイラル型インダク

タの共振周波数を向上させることができる。この結果、以上の説明で述べたようなセラミック基板を用いる場合に比べて、より高い周波数帯で使用することが可能になる。あるいは、同一周波数帯で使用する場合には、共振周波数を低下させることなく、スパイラル型インダクタの占有面積を削減することができる。

【0152】

【発明の効果】以上に説明したように、請求項1に規定される本発明のハイブリッドICでは、ハイブリッドIC内部の回路を外部回路に接続するための端子を、半導体チップを配置した基板の外周に直接形成することによって、従来のような外部回路との接続に関連したワイヤボンディング及びパッケージが不要になるため、製造工程数が最小限に抑えられ、低コスト化及び小型化が可能になる。また、ボンディングワイヤやパッケージによる動作特性への高周波的な悪影響がなく、優れた特性のハイブリッド回路を実現することができる。さらに、高誘電体材料を用いた大容量MIMキャパシタが半導体チップ内に内蔵されているため、基板上にチップ部品として容量素子を搭載する必要がなく、基板面積を削減することができる。以上の点の組み合わせにより、超小型・低コストのハイブリッドICを実現することができる。

【0153】請求項2に規定されるように、半導体チップの内部の回路素子に入力信号を整合させる整合回路を備えることによって、インピーダンスの整合を得て、良好な動作特性を得ることができる。

【0154】上記の整合回路に含まれるインダクタを、半導体チップの中ではなく、請求項3に規定されるように基板の一方の面の上に形成することによって、半導体チップの大きさの増加を防ぐことができる。

【0155】整合回路を、請求項4に規定するようにインダクタのみを含む構成とすることによって、必要なインダクタの個数及び占有面積が減少する。これより、ハイブリッドICが小型化されると同時に、優れたイメージ周波数抑圧比及びアイソレーション特性を得ることができる。

【0156】請求項5に規定されるように、スパイラル型インダクタの最外周線を接地することにより、他の配線に近づくスパイラル型インダクタの最外周線の電圧が、低く抑えられる。この結果、他の信号線との結合を防ぐことができ、優れたアイソレーション特性を得ることができる。

【0157】一方、整合回路を、請求項7に規定するようにインダクタンス及びキャパシタで構成し、キャパシタを半導体チップの内部に形成すれば、インダクタの必要数を減らすことができるとともに基板面積は増加しない。このため、より小型のハイブリッドICを実現することができる。

【0158】なお、整合回路に含まれるインダクタは、スパイラル型またはミアンダ型とすることができる。ス

バイラル型では、単位面積あたりのインダクタンス値を大きくできる。一方、ミアンダ型では、スルーホール個数が減る。

【0159】請求項10に規定されるように、基板の外周に形成される端子のうちで、高周波信号の入出力に關与するRF端子、LO端子及びIF端子に隣接する端子として、接地端子または電源端子を配置すれば、高周波信号の入出力端子を低インピーダンスの端子で挟むことになり、高周波信号間の干渉をなくすることができる。また、RF端子などからRF信号などの高周波信号が漏れ

出ても高周波的に接地へ逃がすことができるため、高周波信号の入出力端子と他の端子とのアイソレーション特性が改善される。この結果、優れた特性を維持したままハイブリッドICを小型化することができる。

【0160】RF入力整合回路に含まれるインダクタの線幅を、請求項13に規定されるようにLO入力整合回路のインダクタの線幅よりも大きくすれば、配線抵抗の増加が入力損失に影響を与えるRF入力整合回路の線幅を大きくする一方で、配線抵抗の増加に伴う損失が少ないLO入力整合回路の線幅を細くすることができるので、インダクタの外形寸法をさらに小さくすることができ、より小型のハイブリッドICを実現することができる。

【0161】RF入力整合回路とRF端子とを接続する配線を、請求項14に規定するようにRF入力整合回路が形成されているのとは反対側の基板面を通すように配線すれば、高周波信号であるRF信号に關与する信号線と他の信号線との結合を防ぐことができる。これより、優れたアイソレーション特性を得ることができる。

【0162】請求項15に規定されるように、高周波接地用キャパシタを含むLC共振回路または1/4波長線路を、RF増幅器とミキサ及びLO増幅器とミキサの結合点に設けることによって、半導体チップにおける消費電流が低減される。さらに、高周波接地用キャパシタは半導体チップの内部に設ければ、基板上に容量を形成する必要がなく、基板寸法の小型化を図ることができる。

【0163】請求項16に規定されるように、ミキサに対応する出力整合回路のみをハイブリッドICが形成される基板上に設けないことによって、基板寸法の増大及びコストの増加が防がれる。

【0164】請求項17に規定されるように、半導体チップの実装箇所に相当する基板表面に接地線を配置すれば、基板表面において入力端子側と出力端子間に接地線が配置されることになるので、入力と出力を高周波的に分離することができる。このため、優れたアイソレーション特性を得ることができる。

【0165】請求項18に規定されるように、電源配線の線幅をLO信号線の配線幅と同等以下の細い値にすれば、電源線を通じて起こる、同一の電源につながる各素子間の影響を低減することができる。このため、優れた

特性のハイブリッドICを実現することができる。

【0166】請求項19に規定されるように、複数のインダクタにそれぞれ接続されている電源配線を基板内の最小線幅と同等の値とすることにより、インダクタ間の相互作用を抑えることができる。

【0167】請求項20に規定されるように、インダクタに短絡導線を設けた上でその短絡配線を適宜切断することによって、簡単な構成でインダクタンス値を調整することができ、所望の利得・雑音特性を得ることができる。

【0168】請求項21に規定されるように、半導体チップ内部に形成されるMIMキャパシタの構成材料として誘電率の異なる複数の材料を使用すれば、形成される容量の大きさと精度に応じて、絶縁体膜を形成する高誘電体材料を適宜選択できる。これより、半導体チップの小型・高精度化を図ることができる。

【0169】請求項22に規定されるように、MBB法またはSBB法によるフリップチップボンディングで半導体チップを基板に搭載すれば、半導体チップ上及びセラミック基板上のボンディングパッド面積が縮小されると同時に、セラミック基板上のボンディングパッド位置をチップ下面に配置することができる。このため、セラミック基板を小型化することができる。

【0170】請求項23に規定されるように、樹脂によって半導体チップを基板に固定すれば、樹脂の硬化に伴って半導体チップと基板との固着力が増加するので、半導体チップとセラミック基板との密着強度、及び半導体チップの信頼性を、同時に高めることができる。また、接続箇所の接触抵抗値を下げて、確実な電氣的導通を確保することができる。

【0171】請求項24に規定されるように凹状の端子を形成すれば、基板とプリント基板をはんだ接続する際にはんだが端子の凹部に取り込まれて、安定なはんだ付けが実現される。

【0172】請求項25によれば、基板の端子を容易に形成することができ、低コストのハイブリッドICを実現できる。

【0173】請求項26によれば、端子に隣接した基板面に形成されて端子の一部として機能する金属膜部分の面積が低減されるので、低コストのハイブリッドICが実現される。

【0174】請求項27によれば、電源電極及び接地電極の面積が低減されるので、基板を小型化することができる。

【0175】請求項28に規定されるように、端子を基板の四隅に形成すれば、端子面積が削減されて基板が小型化される。

【0176】請求項29に規定されるように、基板として高誘電体材料を使用すれば、伝送線路の長さによる位相回転の効果が大きくなるために、インダクタの面積を

小さくすることができる。一方、請求項 31 に規定されるように、基板として低誘電体材料を使用すれば、スパイラル型インダクタの共振周波数を向上することができる。あるいは、配線間隔を狭めることができるため、同一のインダクタンス値を得るために必要なインダクタの占有面積が削減される。

【0177】請求項 33 に規定されるようにピン電極を使用すれば、ハイブリッド IC の回路基板への搭載にあたって従来のはんだ実装工程を適用することができ、組立コストの増加が抑制される。

【0178】請求項 34 に規定されるように、半導体チップ内に形成される複数の MIM キャパシタの下部電極をお互いに接続すれば、寄生容量が基板側に形成されなくなる。これによって、動作特性への悪影響が抑制される。

【0179】半導体チップ内の回路要素を請求項 35 あるいは請求項 36 に規定されるように配置すれば、高周波信号に関与する回路要素間での結合が防止される。

【0180】請求項 37 に規定されるように上面が平坦な樹脂層を形成すれば、ハイブリッド IC の回路基板への搭載にあたって従来のインサータを使用することができ、組立コストの増加が抑制される。

【図面の簡単な説明】

【図 1】従来のハイブリッド IC の構成の一例を示す斜視図である。

【図 2】本発明の第 1 の実施例に係るハイブリッド IC の斜視図である。

【図 3】図 2 に示すハイブリッド IC を構成するセラミック基板の上面図である。

【図 4】図 3 に示すセラミック基板の裏面図である。

【図 5】図 2 の A-A' 線における図 2 に示すハイブリッド IC の断面図である。

【図 6】図 2 に示すハイブリッド IC の回路図である。

【図 7】図 6 に示した回路図に対応する半導体チップの回路要素の配置の一例を示す平面図である。

【図 8】(a) は、図 7 の線 B-B' における断面図であって本実施例における容量の構成を示す図であり、

(b) は、(a) の構成を従来技術によって形成した場合の構成の一例を示す断面図である。

【図 9】本発明の第 2 の実施例に係るハイブリッド IC の回路図である。

【図 10】本発明の第 3 の実施例に係るハイブリッド IC を構成するセラミック基板の上面図である。

【図 11】本発明の第 4 の実施例に係るハイブリッド IC を構成するセラミック基板の上面図である。

【図 12】図 11 に示すハイブリッド IC の回路図である。

【図 13】本発明の第 5 の実施例に係るハイブリッド IC の斜視図である。

【図 14】本発明の第 6 の実施例に係るハイブリッド IC

C の断面図である。

【符号の説明】

- 100、250、300、400、500、600 ハイブリッド IC
- 101、457 半導体チップ
- 102、103、104、105、106、107 スパイラル型インダクタ
- 108、501 RF 端子
- 109、503 LO 端子
- 110、506 IF 端子
- 111、502、504 電源端子
- 112、113、505 接地端子
- 111b、112b、114、115、116、117、118、119 スルーホール
- 108c、109c、111c 信号線
- 112c 接地配線パターン
- 122、458、530 セラミック基板
- 130 RF 信号線
- 131 LO 信号線
- 140 接地電極
- 150 短絡導体
- 200、200b GaAs 基板
- 201、201b 第 1 の層間膜
- 202、202b 下部電極
- 203、203b 高誘電体薄膜
- 204、204b キャパシタ電極
- 205、205b 上部電極
- 206、206b 第 2 の層間膜
- 207、207b 保護膜
- 301 Au バンプ
- 302 セラミック基板表面の金属配線
- 303 セラミック基板裏面の金属配線
- 304 光硬化性樹脂
- 401、402、403 デュアルゲート FET
- 407、408 高誘電体容量素子
- 404、405、406、409、410、411、412 容量素子
- 413、414、415、416、417、418、419 バイアス抵抗
- 420、421、422、423、424、425、426、427、428、429 ボンディングパッド
- 430 RF 増幅器
- 431 LO 増幅器
- 432 ミキサ
- 439 RF 入力整合回路
- 440 LO 入力整合回路
- 451 IF 出力整合回路
- 452 RF 入力端子
- 453 LO 入力端子
- 454 IF 出力端子

29

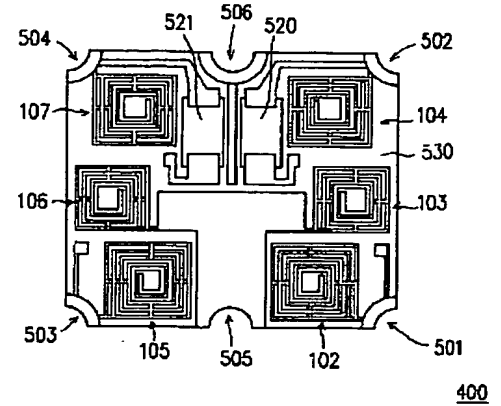
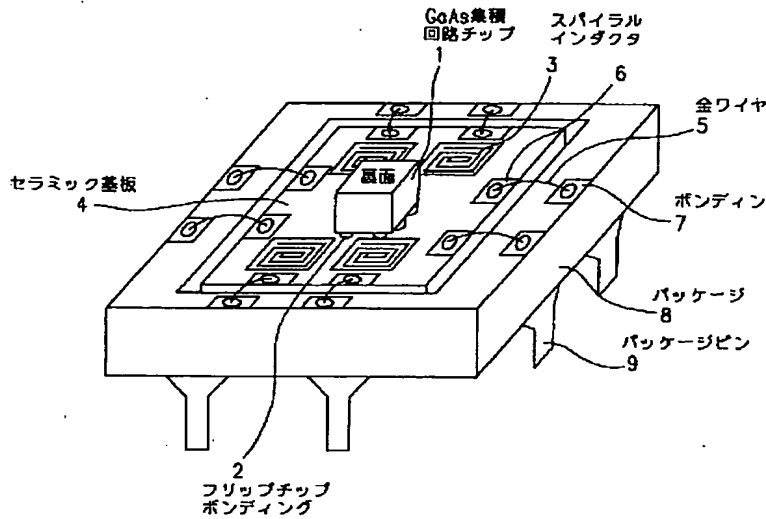
30

- 456 接地電極
 601、603 直列インダクタ
 602、604 並列インダクタ
 605、606 並列容量
 607 RF入力整合回路
 608 LO入力整合回路
 610 充填樹脂層

- 701、702、703、704 ミアンダ型インダクタ
 705、706、707、708 スルーホール
 710 接地電極
 711 電源電極
 712 短絡導体

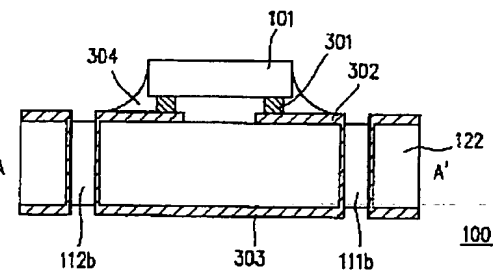
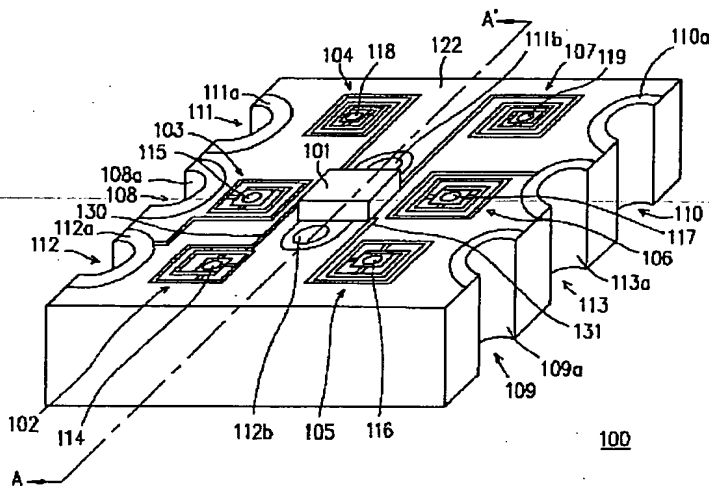
【図1】

【図11】

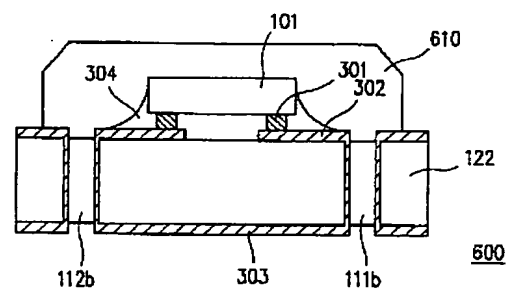


【図2】

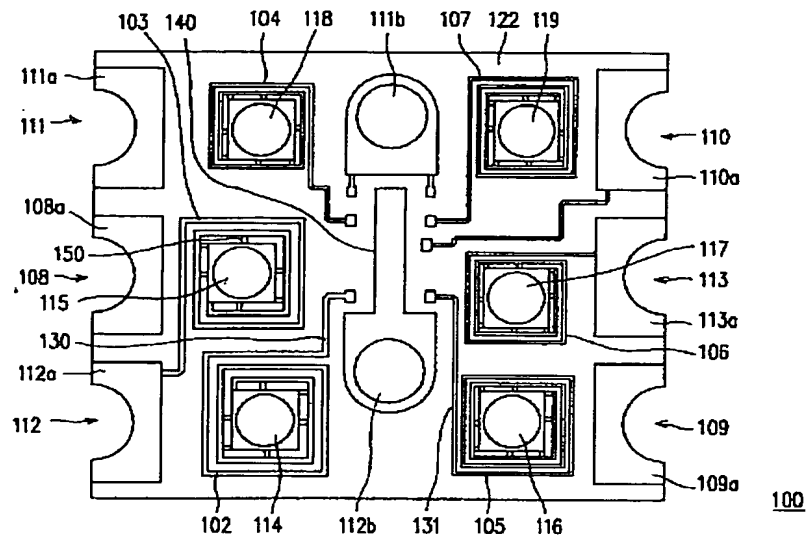
【図5】



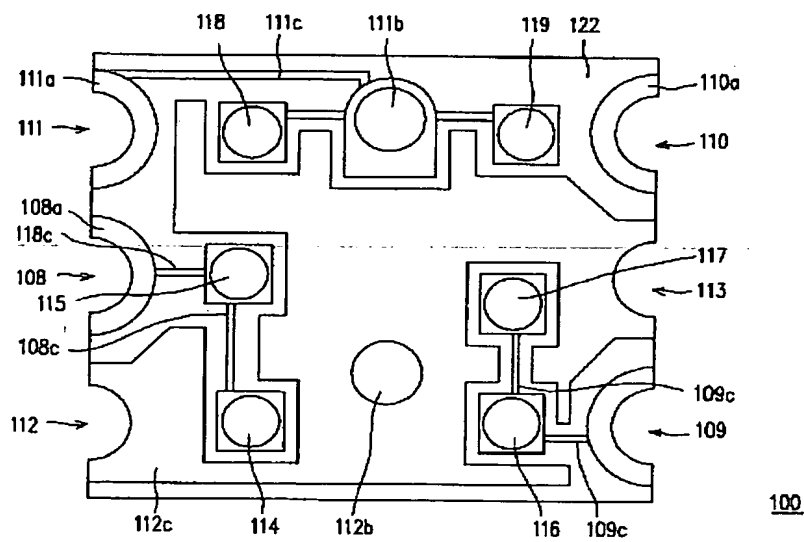
【図14】



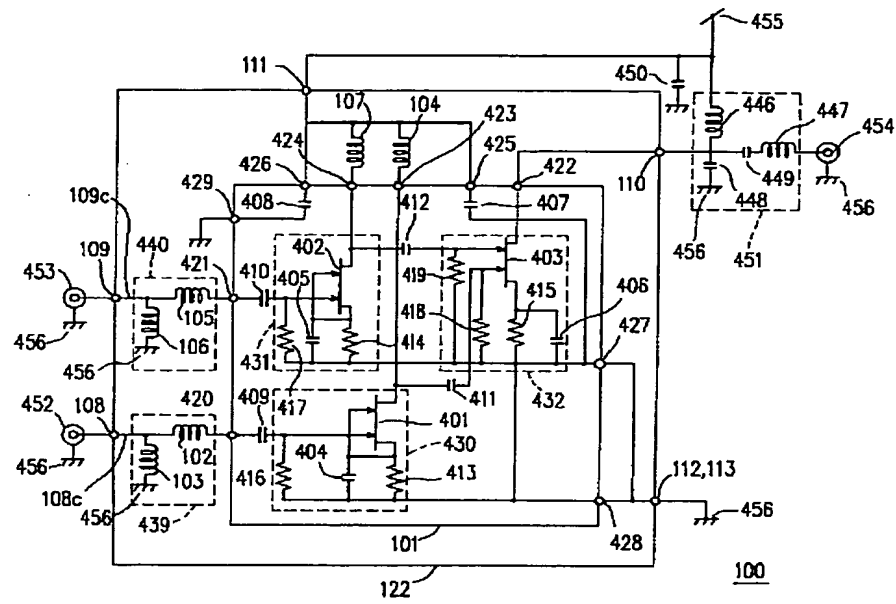
【図 3】



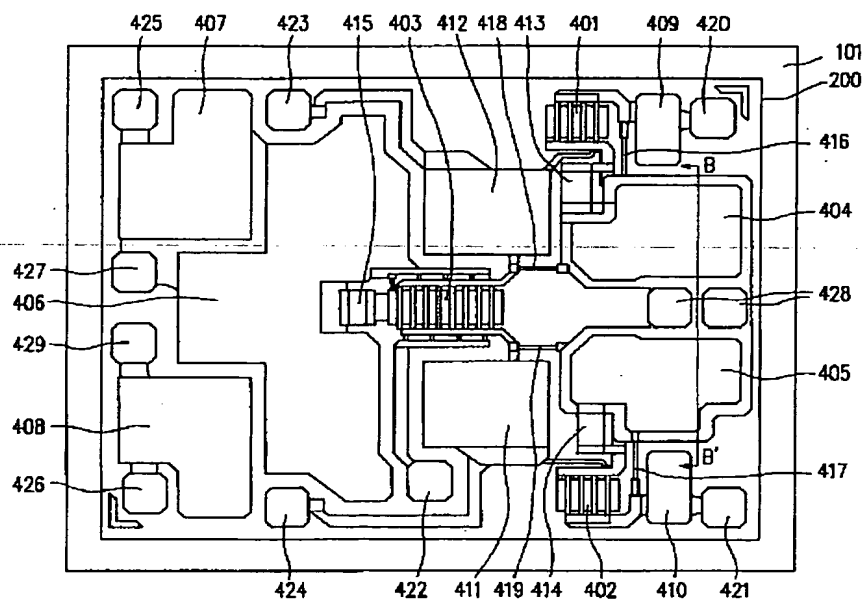
【図 4】



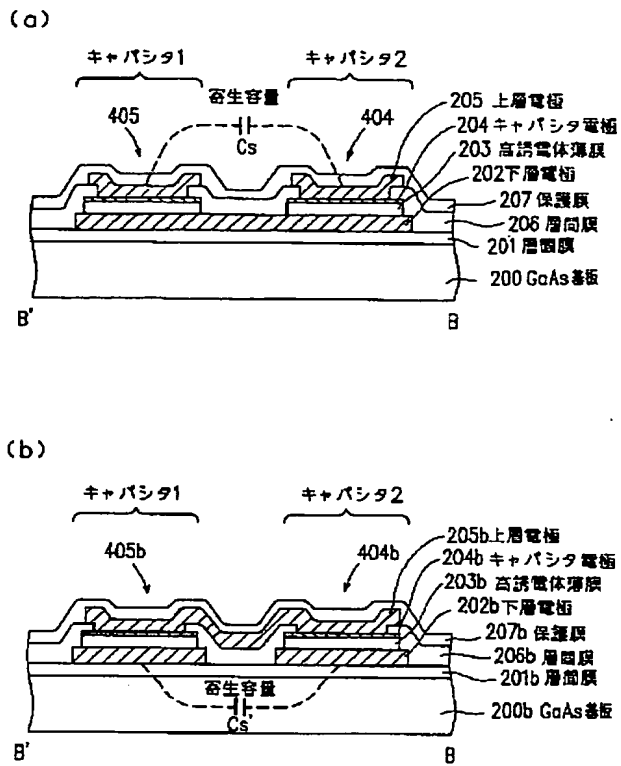
【図 6】



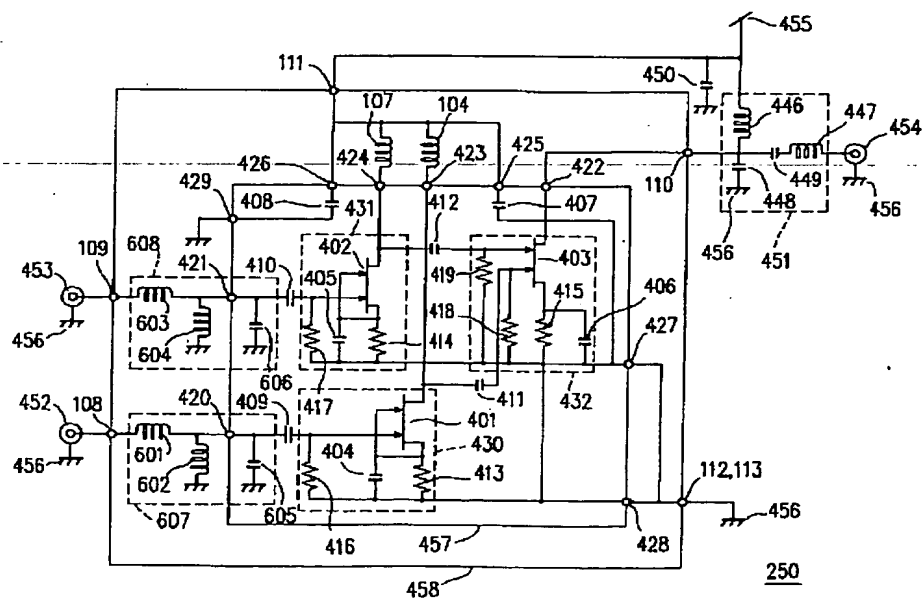
【図 7】



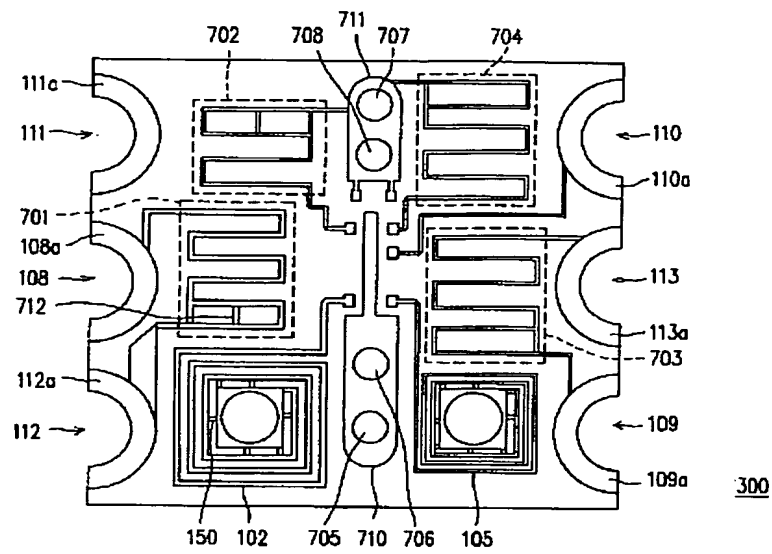
【図 8】



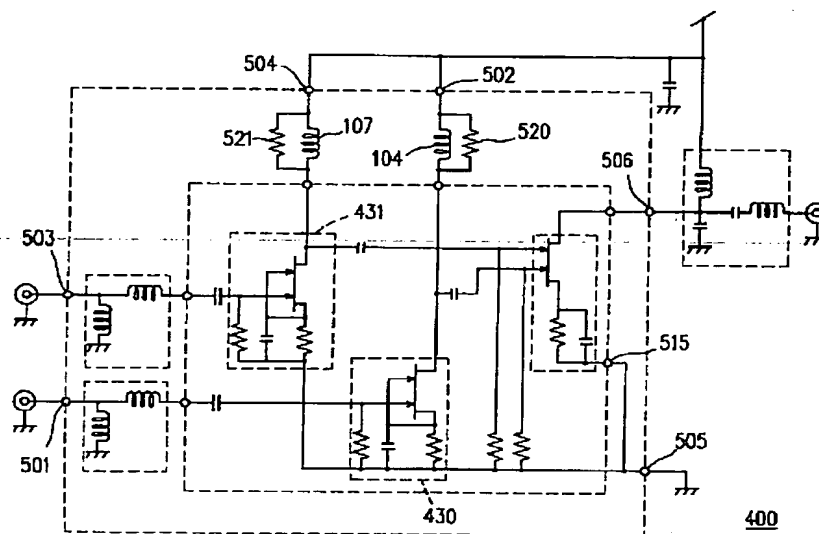
【図 9】



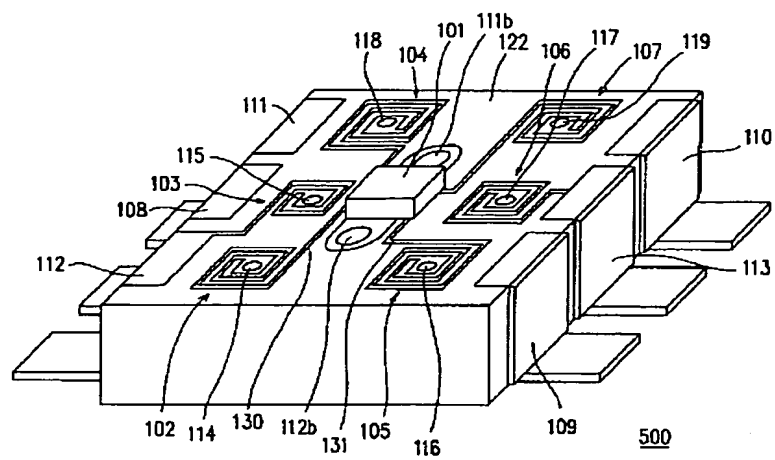
【図 10】



【図 12】



【図 1 3】



フロントページの続き

(72)発明者 西辻 充
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**